

LAI, Su-Chen
NEW

Filed Dec. 9, 2003

Docket No. 0941-0734 中華民國經濟部智慧財產局

Birch, Stewart, Kolash & Birch, LLP
INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

(703) 205-8000

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 06 月 23 日
Application Date

申請案號：092116938
Application No.

申請人：茂德科技股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 年 月 日
Issue Date

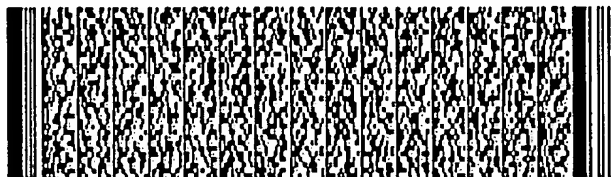
發文字號：09221172290
Serial-No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	形成瓶形溝槽的方法
	英 文	Method for Forming a Bottle-shaped Trench
二、 發明人 (共1人)	姓 名 (中 文)	1. 賴素貞
	姓 名 (英 文)	1. Su-Chen Lai
	國 籍 (中 英 文)	1. 中華民國 TW
	住居所 (中 文)	1. 嘉義市西區福民里徐州5街74號
	住居所 (英 文)	1.
三、 申請人 (共1人)	名稱或 姓 名 (中 文)	1. 茂德科技股份有限公司
	名稱或 姓 名 (英 文)	1. PROMOS Technologies Inc.
	國 籍 (中 英 文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹科學工業園區力行路十九號三樓 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. 3F, No. 19, Li Hsin Rd., Science-Based Industrial Park, Hsinchu, Taiwan, R.O.C.
	代表人 (中 文)	1. 胡洪九
	代表人 (英 文)	1. Hu, Hung-Chiu



0593-10033TWE(N1);01080;PHOEBE_pid

四、中文發明摘要 (發明名稱：形成瓶形溝槽的方法)

一種形成瓶形溝槽的方法，其步驟包括：提供一半導體基底，其表面形成有墊層結構以及至少一溝槽，該溝槽具有一底部；填入在該溝槽一遮蔽物，以覆蓋該底部；蝕刻未被該遮蔽物所覆蓋，且裸露於該溝槽中之該半導體基底；以及移除該遮蔽物，以形成該瓶形溝槽。

伍、(一)、本案代表圖為：第2E圖

(二)、本案代表圖之元件代表符號簡單說明：

200～半導體基板；

202～氧化層；

204～氮化層；

212～側壁保護物；

216～瓶形溝槽。

六、英文發明摘要 (發明名稱：Method for Forming a Bottle-shaped Trench)

The invention provides a method for forming a bottle-shaped trench. A semiconductor substrate having a pad stack layer and a trench formed thereon is provided. Sidewall protective layers are then formed on the upper sidewalls of the trench. A masking layer is formed at the bottom of the trench, followed by wet etching to remove the semiconductor substrate not covered by the



四、中文發明摘要 (發明名稱：形成瓶形溝槽的方法)

六、英文發明摘要 (發明名稱：Method for Forming a Bottle-shaped Trench)

sidewall protective layers thus forming a bottle-shaped trench. Finally, the masking layer is removed.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

發明所屬之技術領域

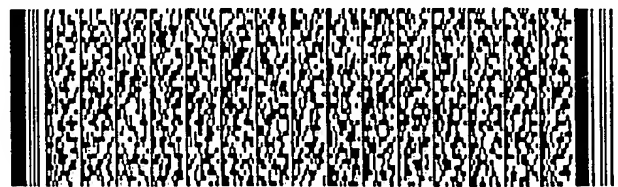
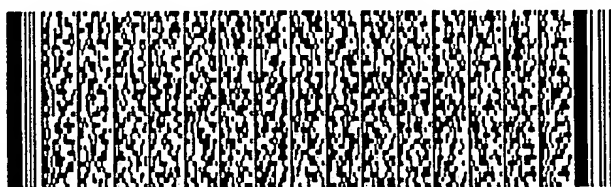
本發明係有關於一種動態隨機存取記憶體(Dynamic Random Access Memory; DRAM)之半導體製程，特別是有關於一種形成瓶形溝槽的方法。

先前技術

一般而言，目前廣泛使用之動態隨機存取記憶體(Dynamic Random Access Memory; DRAM)中的電容器係由兩導電層表面(即電極板)隔著一絕緣物質而構成，該電容器儲存電荷之能力係由絕緣物質之厚度、電極板之表面積及絕緣物質的電氣性質所決定。隨著近年來半導體製程設計皆朝著縮小半導體元件尺寸以提高密度之方向發展，記憶體中記憶胞的基底面積必須不斷減少使積體電路能容納大量記憶胞而提高密度，但同時，記憶胞電容之電極板部分必須有足夠之表面積以儲存充足的電荷。

然而在尺寸持續地細微化的情況下，動態隨機存取記憶體中的溝槽儲存結點電容(trench storage node capacitance)亦隨著縮小，因此必須設法增加儲存電容以維持記憶體良好的操作性能。

目前已廣泛使用於增加DRAM之儲存電容的方法可舉例如增加溝槽底部的寬度，因而提高表面積形成一瓶型電容(bottle-shaped capacitor)。為了更詳細說明習知形成瓶形溝槽的方法，請參照第1A~1F圖。首先提供一如第1A圖所示之半導體基底，其中標號100代表半導體基底，102為氧化層，104為氮化層，而106為溝槽。



五、發明說明 (2)

然後，如第1B圖所示，順應性形成一TEOS層作為阻障層108。接著，在溝槽下半部填入犧牲層110，如第1C圖所示，可使用例如多晶矽等材料。

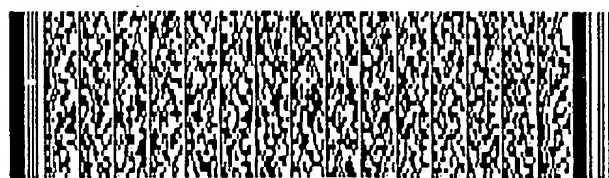
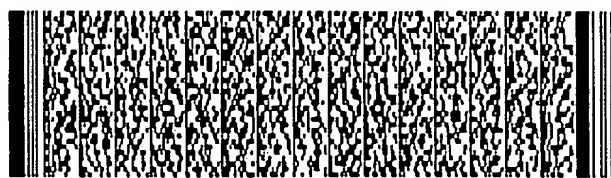
接下來，移除位於氮化層104以及溝槽側壁上未被犧牲層110覆蓋之阻障層108後，順應性沈積一氧化層112'，如第1D圖所示。

然後，藉由非等向性蝕刻方式移除位於氮化層104以及溝槽底部的氧化層而形成如第1E圖所示之環狀保護層 (collar oxide) 112於溝槽上半部之側壁上，並移除犧牲層110。

最後，以稀釋氫氟酸 (DHF) 移除溝槽下半部之阻障層108以及以氨水 ($\text{NH}_4\text{OH} + \text{H}_2\text{O}$) 蝕刻溝槽側壁及底部的半導體基底而形成如第1F圖所示之瓶形溝槽116。

本發明之瓶形溝槽，係指溝槽之截面積從溝槽上部到下部為漸縮，也就是上半部以及下半部具有不同之截面積，例如第2E圖或第3E圖所示，視製程需要而定，可先在溝槽上部之側壁上形成保護層 (第2E圖) 或省略保護層 (第3E圖)。

然而，上述方法，在以氨水蝕刻形成瓶形溝槽時，由於半導體矽晶格結構的關係，容易在瓶形溝槽之底部形成如A所示之尖椎狀，在這樣的情況下，後續形成於溝槽側壁及底部的電容介電層，不論是以氣相沈積 (Gas Phase Deposition) 或者摻雜之介電層 (例如砷摻雜之矽玻璃 (ASG)) 進行時，會因為進行氣體 (AsH_3) 擴散或介電層



五、發明說明 (3)

之形成不均勻而導致形成的電容介電層品質不佳，容易產生漏電問題，上述缺點無疑地對電容的性能來說造成極大的不良影響。

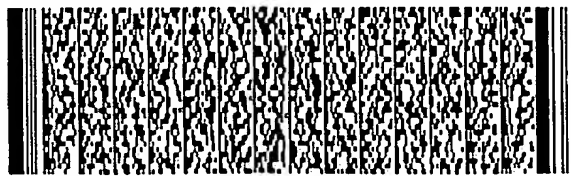
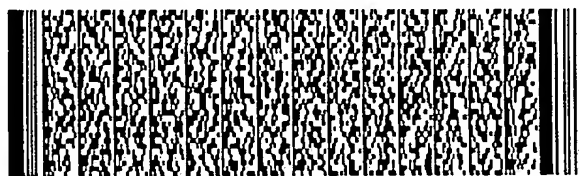
發明內容

有鑑於此，本發明的目的就在於提供一種形成瓶形溝槽的方法，藉由在溝槽底部填入一遮蔽層，保持溝槽底部原本輪廓，避免因為半導體材料矽晶格之結構容易在後續濕蝕刻處理時造成溝槽底部呈現尖椎狀而影響半導體元件的性能。

為達成上述目的，本發明提供一種控制瓶形溝槽底部輪廓的方法，其步驟包括：提供一半導體基底，其表面形成有墊層結構以及至少一溝槽，該溝槽具有一底部；填入在該溝槽一遮蔽物，以覆蓋該底部；蝕刻未被該遮蔽物所覆蓋，且裸露於該溝槽中之該半導體基底；以及移除該遮蔽物，以形成該瓶形溝槽。

根據本發明之另一實施例，該溝槽具有一側壁，且該側壁之一上部形成有一側壁保護物(collar oxide)，而蝕刻該半導體基底之步驟，係蝕刻未被該遮蔽物與該側壁保護物(collar oxide)所覆蓋，且裸露於該溝槽中之該半導體基底。

上述本發明之形成瓶形溝槽的方法，其中使用的濕蝕刻步驟係包括：填入去離子水於該溝槽中；以及透過該去離子水，使蝕刻物擴散到該溝槽中，以使未被該遮蔽層所覆蓋，且裸露於該溝槽中之該半導體基底與該蝕刻物反



五、發明說明 (4)

應，而蝕刻該半導體基底。習知技術通常是在乾燥的狀態直接將晶片置入氨水中，但溝槽之尺寸相當細微，氨水不易到達溝槽深處，因此容易有過度蝕刻溝槽開口部分的疑慮，相鄰的溝槽開口很容易被吃穿，對控制溝槽輪廓來說極不容易。本發明則藉由在以氨水進行濕蝕刻之前，先在溝槽中填入去離子水 (De-Ion Water)，接著再浸泡於氨水中以擴散 (Diffusion) 作用使氨水經由去離子水能夠有效控制蝕刻速度使蝕刻物到達溝槽底部蝕刻出符合需求的溝槽輪廓。

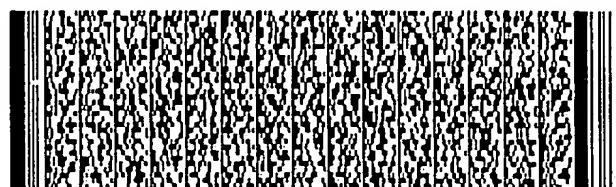
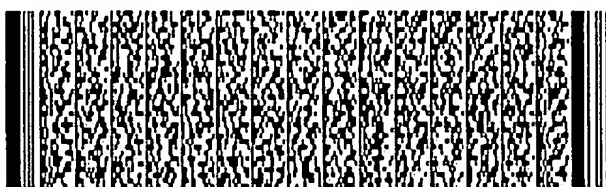
根據上述本發明之控制溝槽底部輪廓的方法，除了可防止溝槽底部輪廓成為尖錐狀之問題外，還能有效控制蝕刻速度，改善濕蝕刻時過度蝕刻溝槽上半部的缺點，進而提高產品性能以及良率，此外，由於在溝槽底部形成遮蔽層，還能夠精確控制瓶形溝槽之深度，避免過度蝕刻。

為了讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖示，作詳細說明如下：

實施方式

實施例1

首先，如第2A圖所示，提供一半導體基底200，其表面形成有墊層結構（包括互相堆疊之氧化層202以及氮化層204）以及一溝槽206；且上述溝槽之側壁之上部形成有側壁保護物212 (collar oxide)，用以在後續濕蝕刻步驟保護溝槽上半部。上述側壁保護物較佳為氧化層，其形成



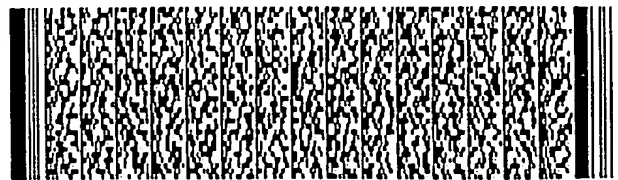
五、發明說明 (5)

方法已敘述於先前技術（環狀保護層112），在此不予贅述。

然後，在上述溝槽206中以塗佈方式形成遮蔽層，例如光阻之後，再使用去光阻劑以回蝕刻方式形成如第2B圖所示之位於上述溝槽之底部的一遮蔽物228，用以保護上述溝槽之底部。上述遮蔽物之高度在本實施例係以離溝槽開口距離為600nm為例，但並不限於此，可依照製程狀況所需而定，只要能夠充分保護溝槽底部即可。

接下來，在上述溝槽206中填入去離子水230，如第2C圖所示，然後使一蝕刻物，例如氨水（ $\text{NH}_4\text{OH} + \text{H}_2\text{O}$ ）經由上述去離子水擴散（如圖中D所示）到整個溝槽而蝕刻該半導體基底。上述在溝槽206依序填入去離子水以及氨水之步驟係藉由將帶有上述半導體基底200之一晶片浸泡於去離子水後，再將該晶片浸泡於一帶有上述蝕刻物之蝕刻溶液（氨水）。

此蝕刻步驟係蝕刻未被該遮蔽物228與該側壁保護物212所覆蓋，且裸露於該溝槽206中之該半導體基底。由於溝槽206側壁上有側壁保護物212，因此氨水經由去離子水從溝槽開口逐漸擴散到溝槽底部時，就如同進行等向性蝕刻一般，其蝕刻機制在溝槽側壁靠近上述側壁保護物端之蝕刻物停留時間較久，因此蝕刻範圍略高於溝槽底部，因而溝槽側壁靠近側壁保護物端的截面積擴大成第2D圖所示般，截面積逐漸往溝槽底部縮小（因為被遮蔽物228保護住），而形成一瓶形溝槽216。



五、發明說明 (6)

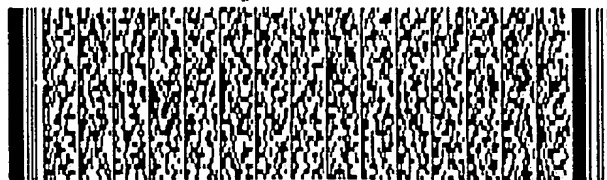
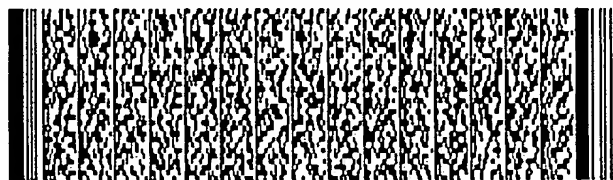
最後，以例如硫酸與過氧化氫之混合試液移除位於瓶形溝槽底部的遮蔽物228而得如第2E圖所示之瓶形溝槽216。

在上述實施例中，由於溝槽底部有遮蔽物228，因此在蝕刻過程中能夠保持溝槽底部之輪廓，同時維持蝕刻之深度避免發生過度蝕刻。蝕刻完成後再移除上述遮蔽物即形成輪廓及深度皆符合製程需要的瓶形溝槽。藉此習知瓶形溝槽底部呈現尖錐狀導致的漏電問題因而獲得改善。此外，在以氨水進行濕蝕刻時，由於先在溝槽中填入去離子水，因此氨水係透過去離子水到達整個溝槽，其蝕刻速度係以擴散方式進行，蝕刻速度獲得較佳的控制，能夠避免習知在溝槽為乾燥的狀態，即填入氨水進行蝕刻，容易因氨水的蝕刻速度甚快而將鄰近的溝槽吃穿，破壞整個元件。

實施例2

本實施例與實施例1之不同僅在於不形成側壁保護物212，如第3A圖所示，也就是說本發明之形成瓶形溝槽的方法亦適用於溝槽側壁沒有側壁保護物的情況。在實際應用上，可形成溝槽開口增大之瓶形溝槽，以利後續填入導電材料，例如多晶矽時避免產生填入縫隙(seam)，提昇產品良率。

本實施例在完成上述溝槽306形成後，在溝槽306中即例如塗佈方式形成一遮蔽層，例如光阻，再以去光阻劑回蝕刻形成如第3B圖所示之一遮蔽物328，藉此保護溝槽底



五、發明說明 (7)

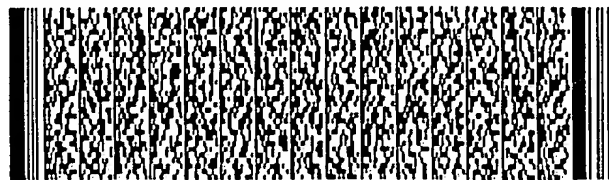
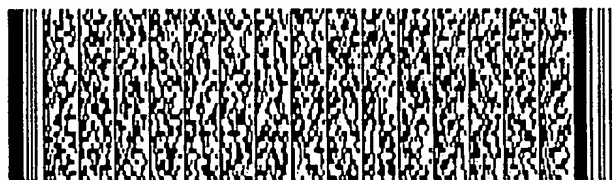
部輪廓。上述遮蔽層之高度在本實施例係以離溝槽開口距離為600nm為例，但並不限於此，可依照製程狀況所需而定，只要能夠充分保護溝槽底部即可。

接下來，與實施例1同樣地在上述溝槽306中填入去離子水330，如第3C圖所示，然後使一蝕刻物，例如氨水($\text{NH}_4\text{OH} + \text{H}_2\text{O}$)經由上述去離子水擴散(如圖中D所示)到整個溝槽而蝕刻裸露於溝槽中的半導體基底。上述在溝槽306依序填入去離子水以及氨水之步驟係藉由將帶有上述半導體基底300之一晶片浸泡於去離子水後，再將該晶片浸泡於一帶有上述蝕刻物之蝕刻溶液(氨水)。

此蝕刻步驟係蝕刻裸露於該溝槽306中之該半導體基底300。由於溝槽306側壁上沒有側壁保護物，因此氨水經由去離子水從溝槽開口逐漸擴散到溝槽底部時，其蝕刻機制是溝槽開口附近之半導體基底先被蝕刻，因此蝕刻物停留時間較久，被蝕刻範圍略大於溝槽底部，因而溝槽開口的截面積擴大成第3D圖所示般，截面積逐漸往溝槽底部縮小(因為溝槽底部被遮蔽物328保護住)，而形成一瓶形溝槽316。

最後，與實施例1同樣以硫酸與過氧化氫之混合試液移除位於溝槽底部的遮蔽層328而得如第3E圖所示之瓶形溝槽316。

上述實施例2由於省略形成溝槽側壁上的側壁保護物，因此所形成之瓶形溝槽316之截面積在溝槽開口即擴大，除了實施例1所述之優點之外，還有利於後續填入導



五、發明說明 (8)

電材料，避免習知技術溝槽開口細微容易在進行填入時產生縫隙的缺點，因而提昇產品良率。

根據上述本發明之形成瓶形溝槽的方法，其優點如下：

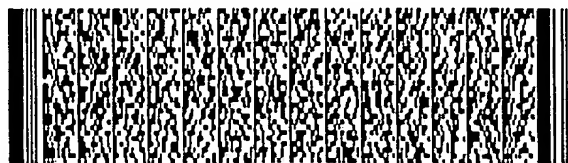
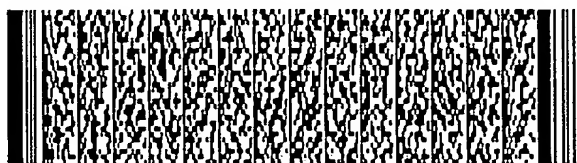
1、有效控制瓶形溝槽底部之輪廓以及溝槽深度，避免溝槽底部成為尖錐狀或者過度蝕刻，進而能夠預防後續形成電容介電層時氣體擴散不均的狀況，避免產生電容介電層品質不佳導致漏電而影響元件性能；

2、有效控制蝕刻速度，改善濕蝕刻時容易過度蝕刻溝槽上半部而吃穿鄰近溝槽的缺點；

3、避免習知技術溝槽開口細微容易在進行填入導電材料時產生縫隙的缺點。

由上所述，本發明提供之方法不論是產品性能或者製程良率皆能獲得改善，對半導體製程之改良有極大助益。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1A～1F圖為習知形成瓶形溝槽之製程剖面圖。

第2A～2E圖為本發明之實施例1之製程剖面圖。

第3A～3E圖為本發明之實施例2之製程剖面圖。

符號說明

100、200、300～半導體基底；

102、202、302～氧化層；

104、204、304～氮化層；

106、206、306～溝槽；

108～阻障層；

110～犧牲層；

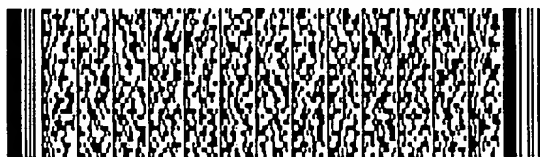
112'～氧化層；

112～環狀保護物；

212～側壁保護層；

228、328～遮蔽物；

116、216、316～瓶形溝槽。



六、申請專利範圍

1. 一種形成瓶形溝槽的方法，其步驟包括：

提供一半導體基底，其表面形成有墊層結構以及至少一溝槽，該溝槽具有一底部；

填入在該溝槽一遮蔽物，以覆蓋該底部；

蝕刻未被該遮蔽物所覆蓋，且裸露於該溝槽中之該半導體基底；以及

移除該遮蔽物，以形成該瓶形溝槽。

2. 如申請專利範圍第1項所述之形成瓶形溝槽的方法，其中該蝕刻該半導體基底以形成該瓶形溝槽的步驟包括：

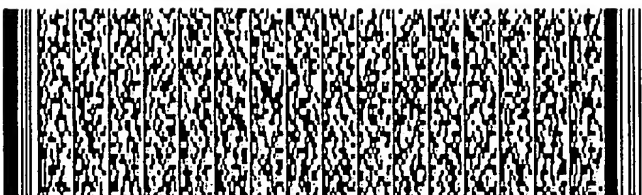
填入去離子水於該溝槽中；以及

透過該去離子水，使蝕刻物擴散到該溝槽中，以使未被該遮蔽層所覆蓋，且裸露於該溝槽中之該半導體基底與該蝕刻物反應，而蝕刻該半導體基底。

3. 如申請專利範圍第2項所述之形成瓶形溝槽的方法，其中該填入去離子水於該溝槽中之步驟，係將帶有該半導體基底之一晶片浸泡於去離子水；該使蝕刻物擴散到該溝槽中之步驟，係將該晶片浸泡於一帶有該蝕刻物之蝕刻溶液。

4. 如申請專利範圍第1項所述之形成瓶形溝槽的方法，其中，該蝕刻該半導體基底以形成該瓶形溝槽的步驟，係以氨水蝕刻該半導體基底。

5. 如申請專利範圍第1項所述之形成瓶形溝槽的方法，其中該墊層結構包括相互堆疊之一氧化層以及一氮化



六、申請專利範圍

層。

6. 如申請專利範圍第1項所述之形成瓶形溝槽的方法，其中該遮蔽物係為一光阻。

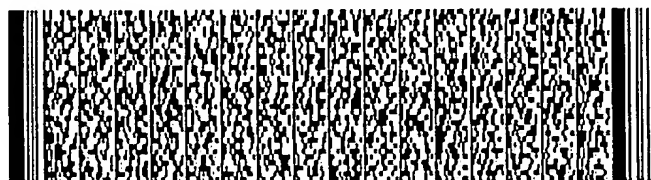
7. 如申請專利範圍第1項所述之形成瓶形溝槽的方法，其中，該填入在該溝槽一遮蔽物之步驟，包含有下列步驟：

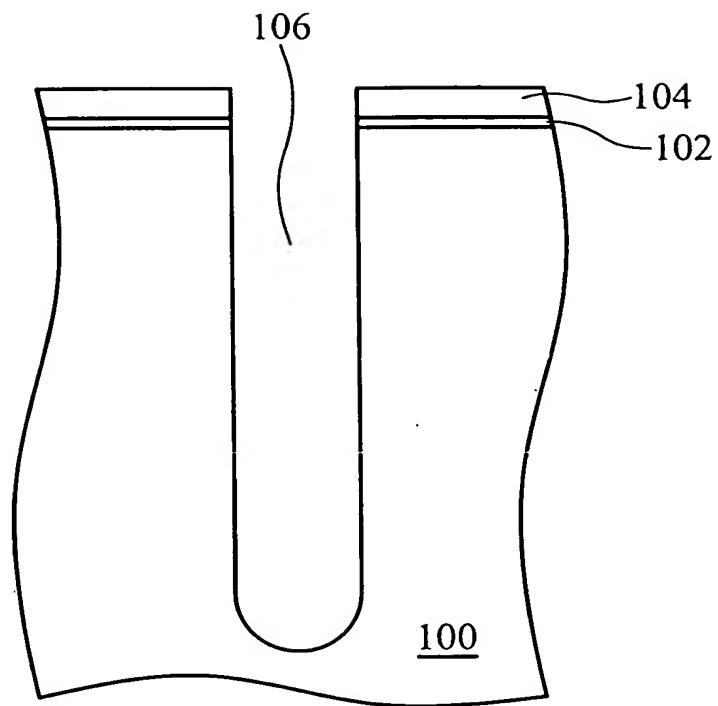
於該墊層結構上塗佈一遮蔽層，以填滿該溝槽；以及回蝕刻該遮蔽層，使該溝槽內之該遮蔽層剩餘一預定厚度，以形成該遮蔽物。

8. 如申請專利範圍第1項所述之形成瓶形溝槽的方法，其中移除該遮蔽物之該步驟係使用硫酸與過氧化氫之混合溶液。

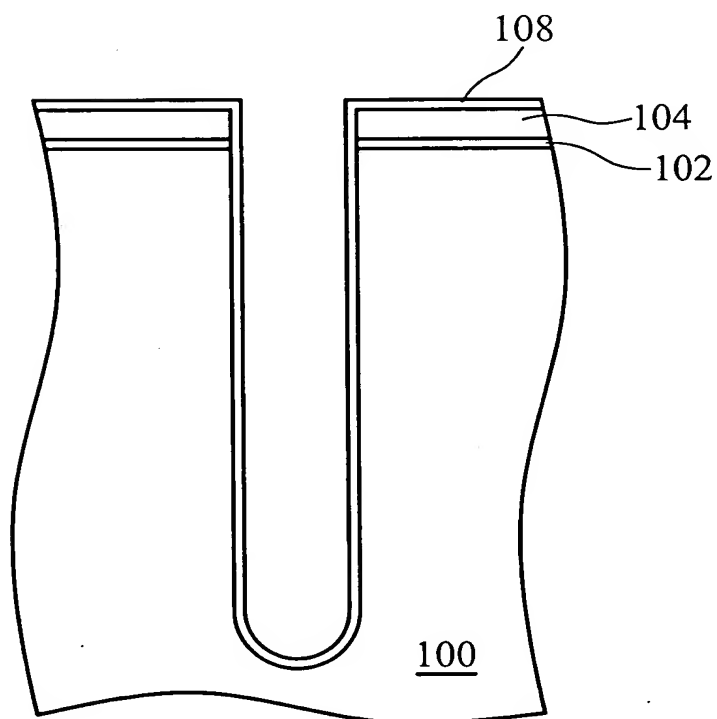
9. 如申請專利範圍第1項所述之形成瓶形溝槽的方法，其中，該溝槽具有一側壁，且該側壁之一上部形成有一側壁保護物，而蝕刻該半導體基底之步驟，係蝕刻未被該遮蔽物與該側壁保護物(collar oxide)所覆蓋，且裸露於該溝槽中之該半導體基底。

10. 如申請專利範圍第1項所述之形成瓶形溝槽的方法，其中該遮蔽物之高度離溝槽開口距離為... ~ ... (600) nm。

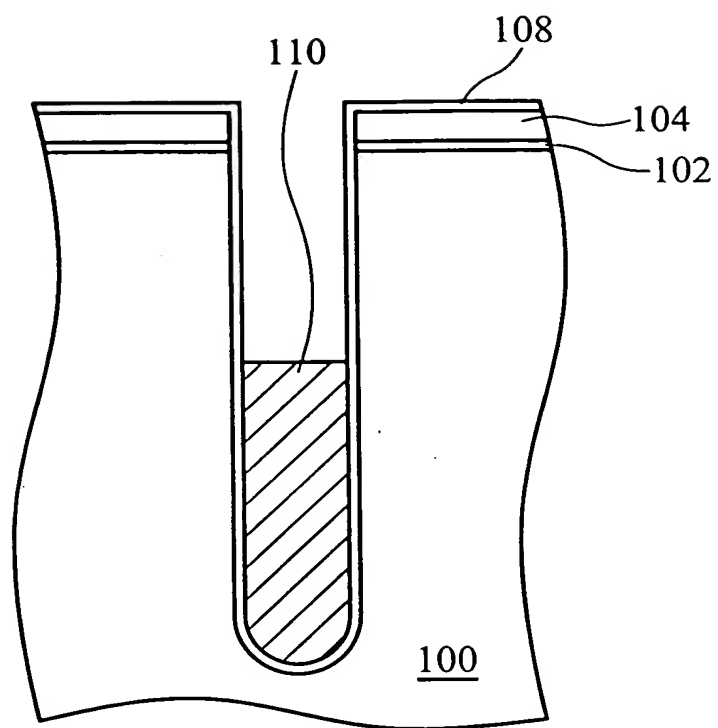




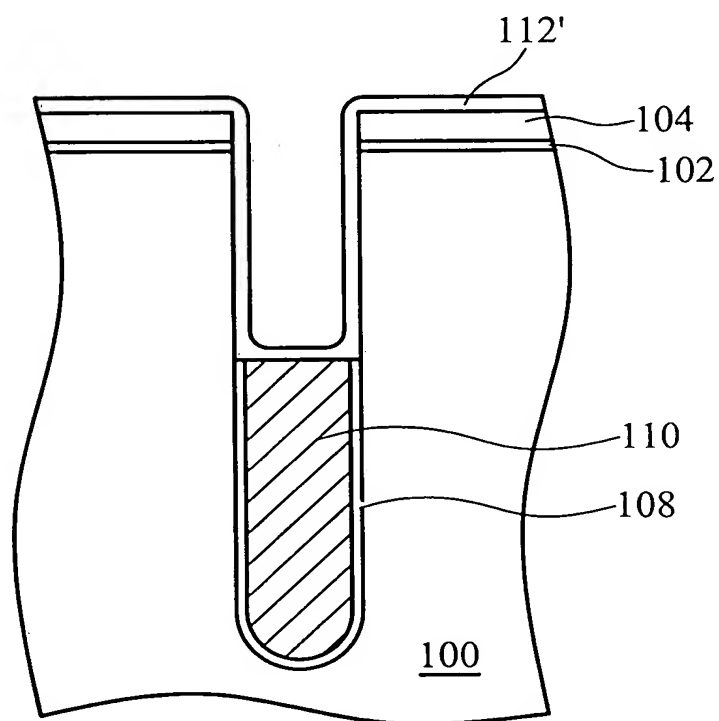
第 1A 圖



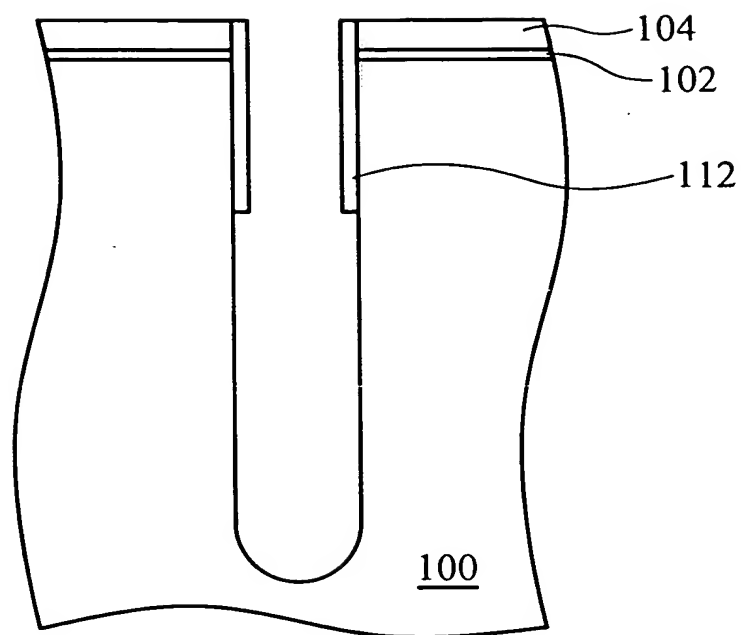
第 1B 圖



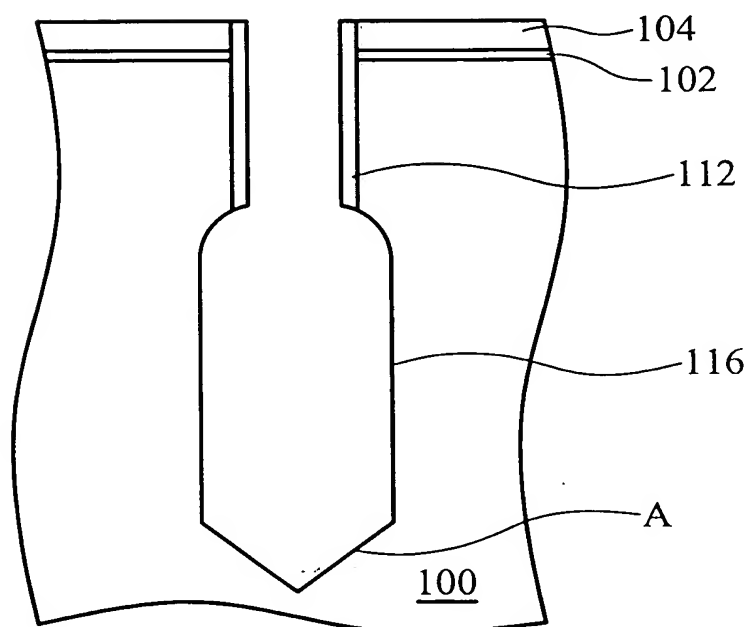
第 1C 圖



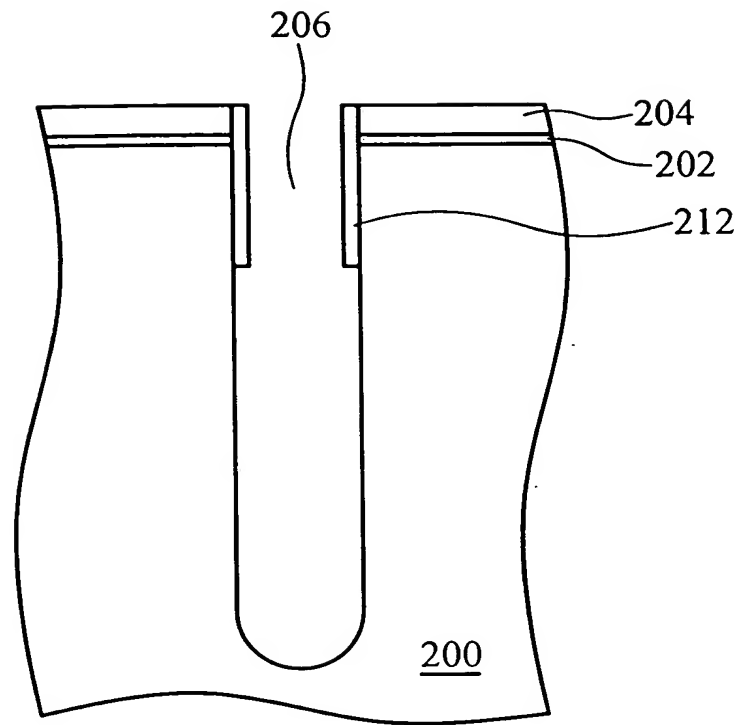
第 1D 圖



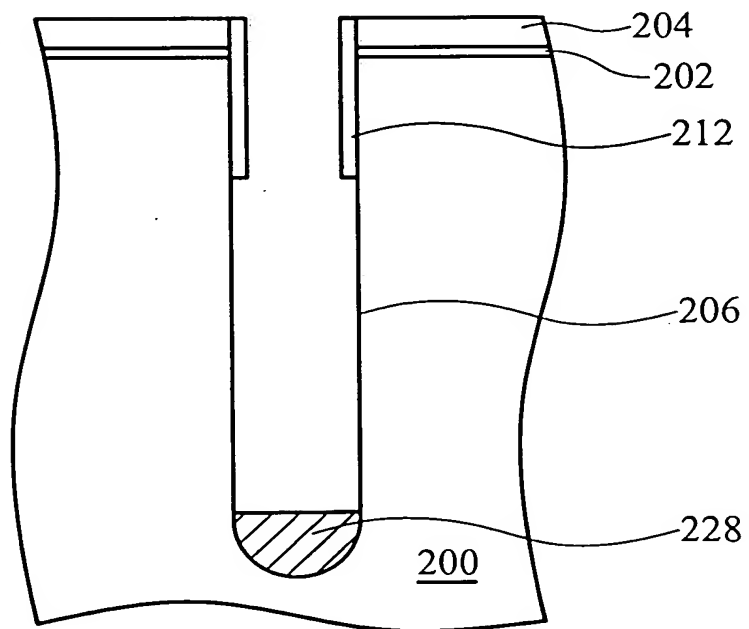
第 1E 圖



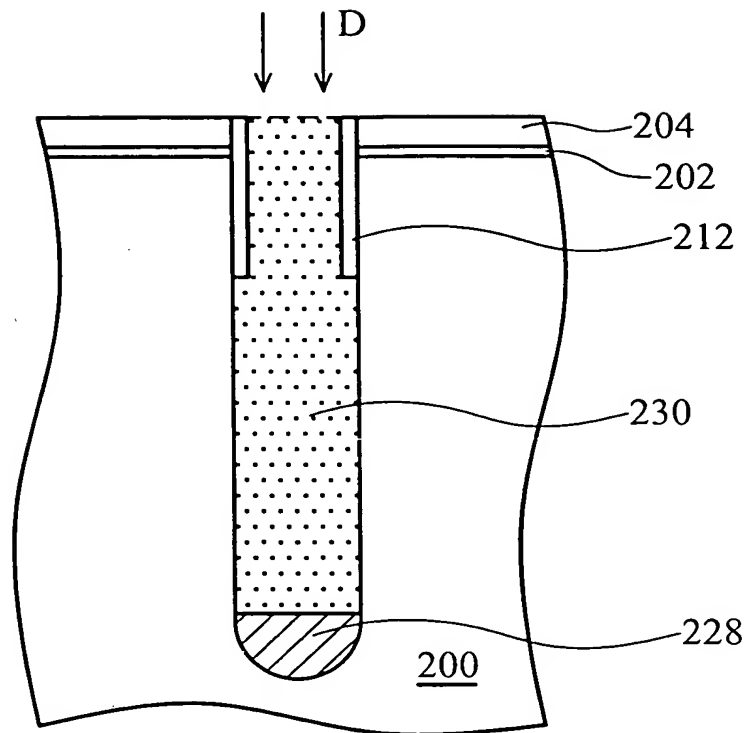
第 1F 圖



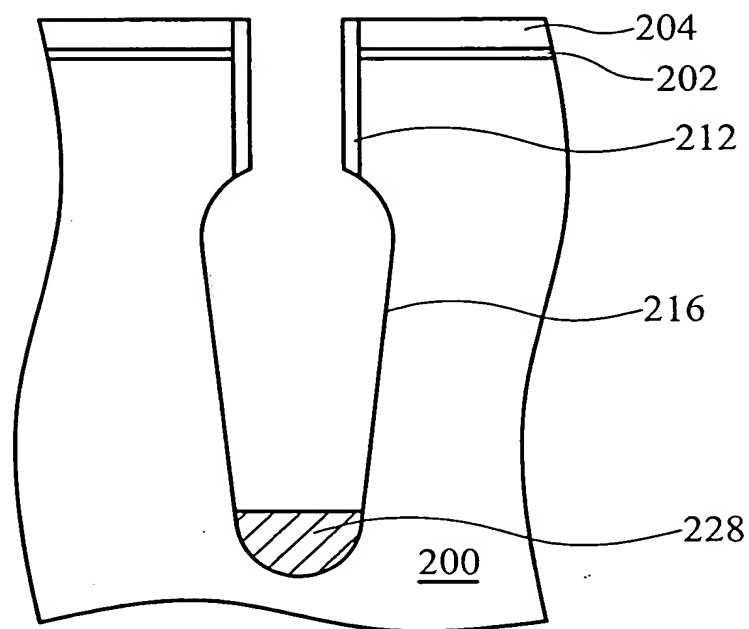
第 2A 圖



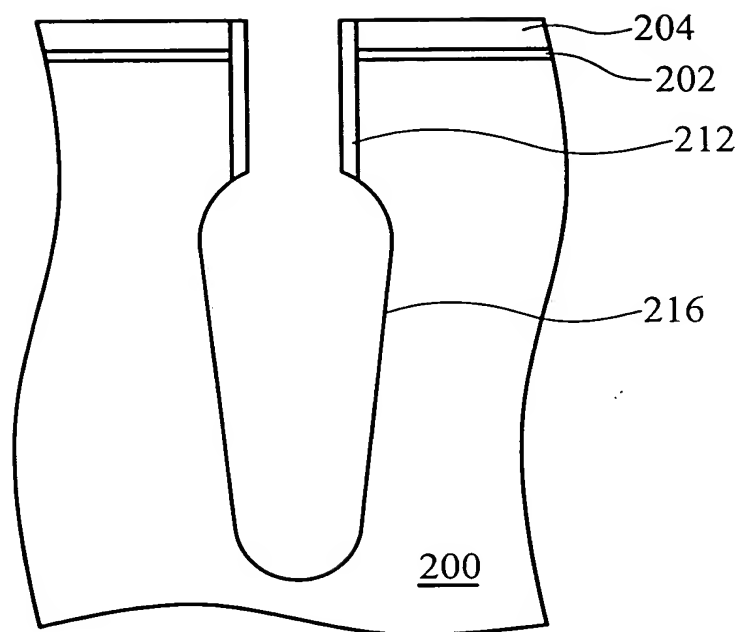
第 2B 圖



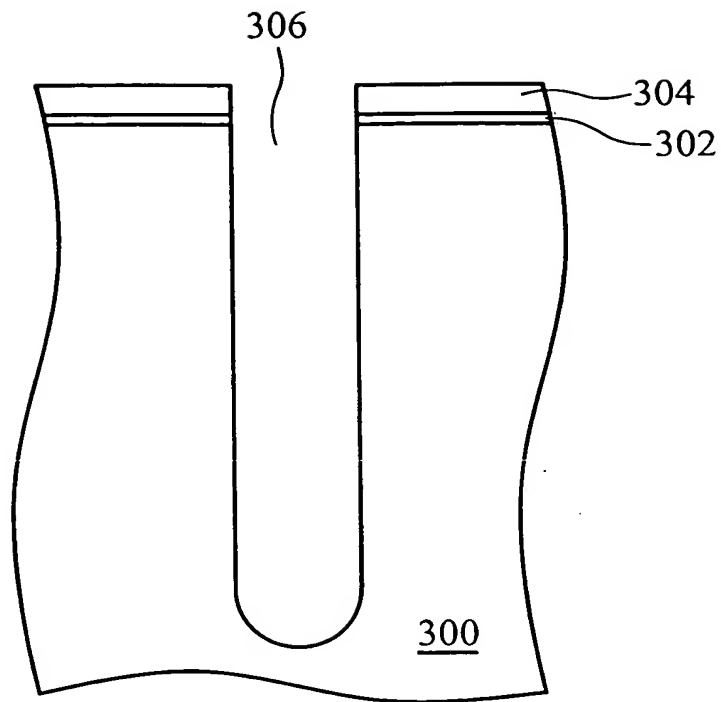
第 2C 圖



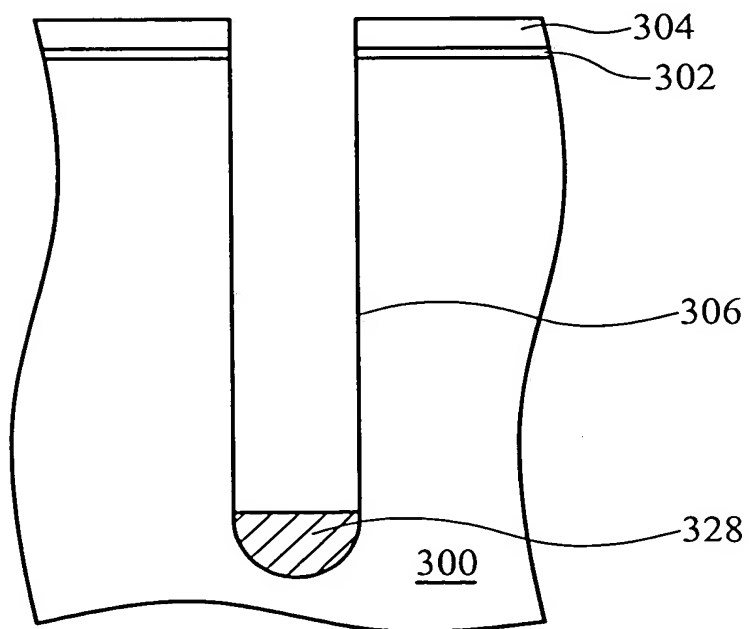
第 2D 圖



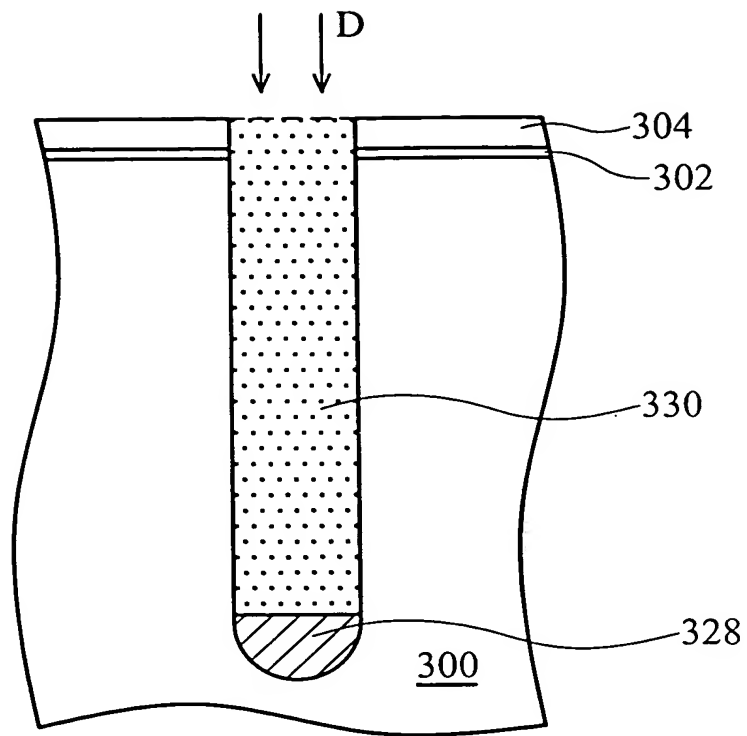
第 2E 圖



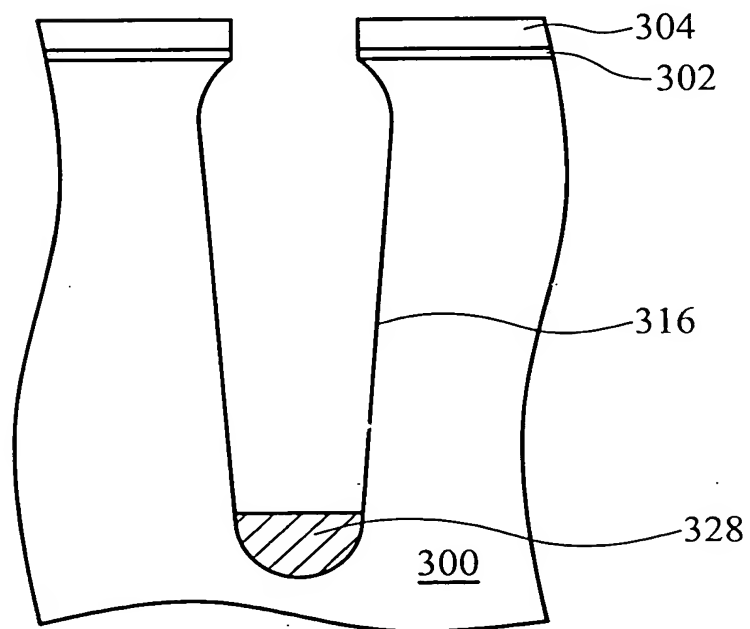
第 3A 圖



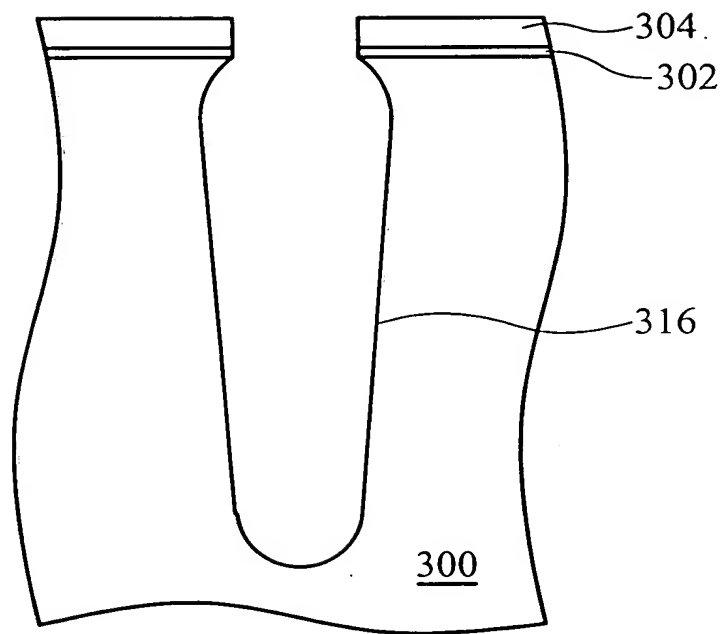
第 3B 圖



第 3C 圖

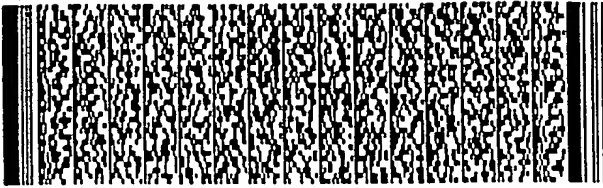


第 3D 圖



第 3E 圖

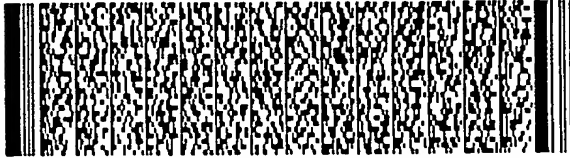
第 1/15 頁



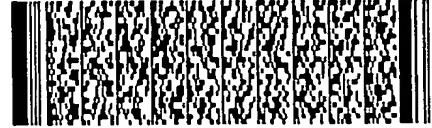
第 2/15 頁



第 2/15 頁



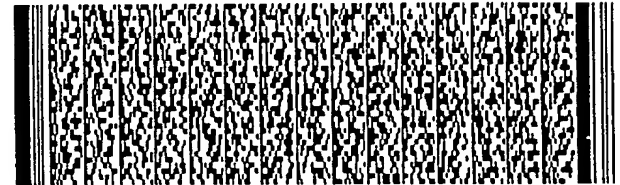
第 3/15 頁



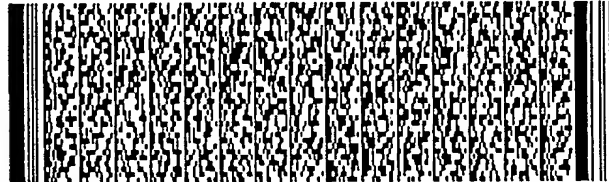
第 4/15 頁



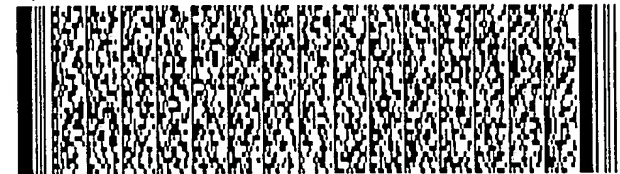
第 5/15 頁



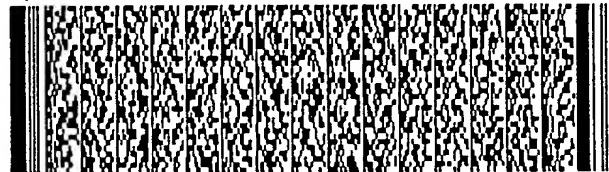
第 5/15 頁



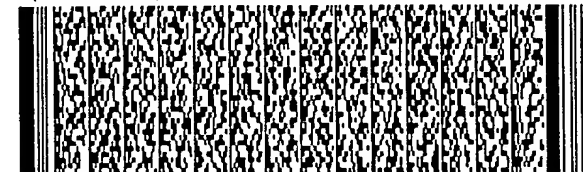
第 6/15 頁



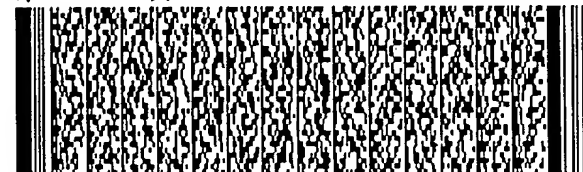
第 6/15 頁



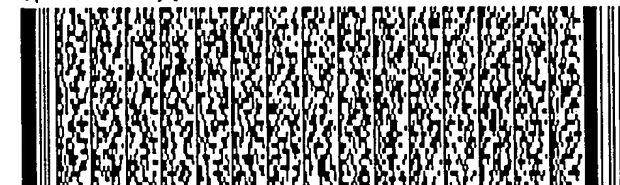
第 7/15 頁



第 7/15 頁



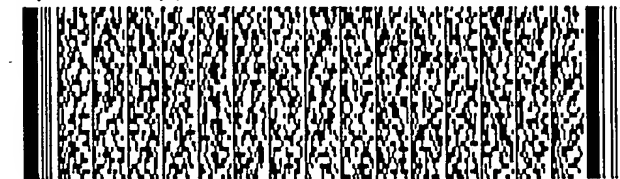
第 8/15 頁



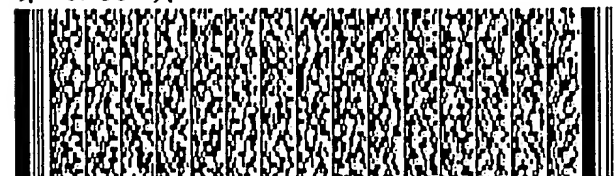
第 8/15 頁



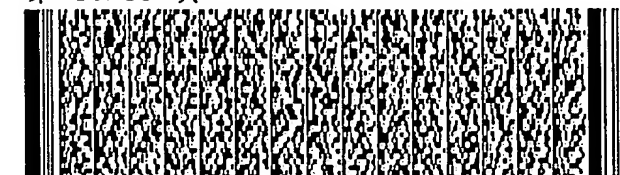
第 9/15 頁



第 9/15 頁



第 10/15 頁



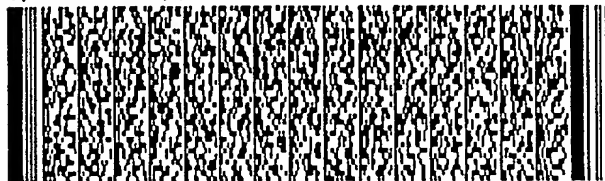
第 10/15 頁



第 11/15 頁



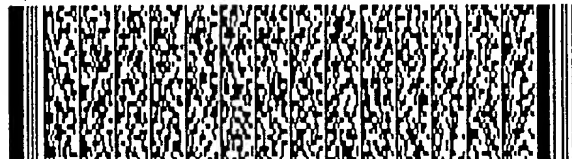
第 11/15 頁



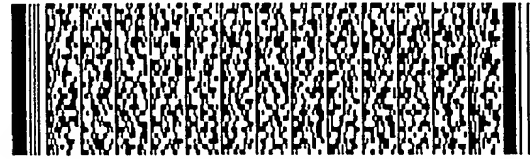
第 12/15 頁



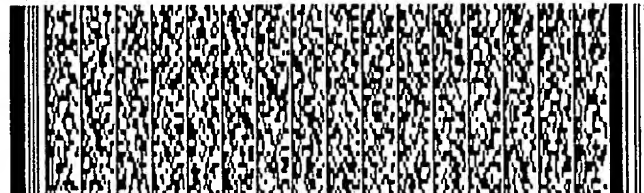
第 12/15 頁



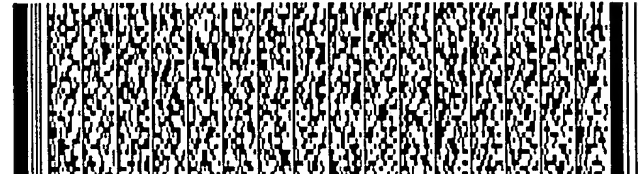
第 13/15 頁



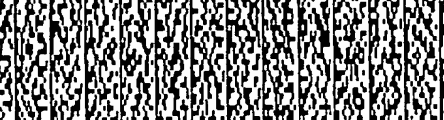


第 14/15 頁

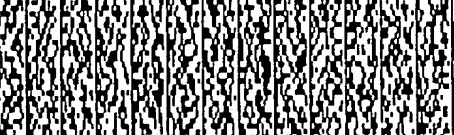

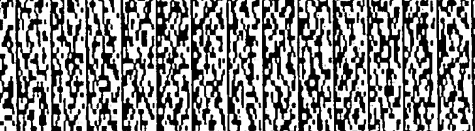


第 15/15 頁



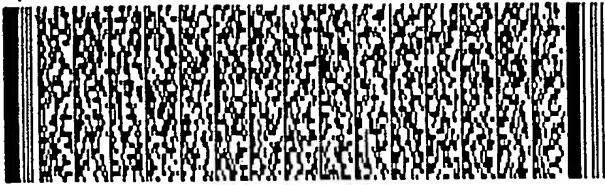


100



100

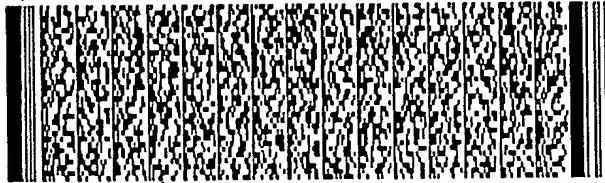
第 10/15 頁



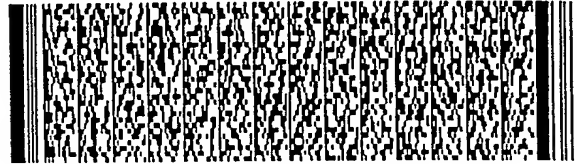
第 11/15 頁



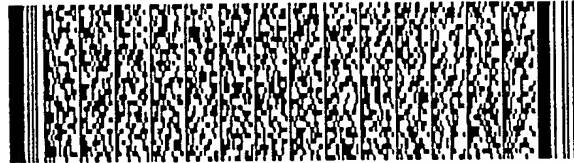
第 11/15 頁



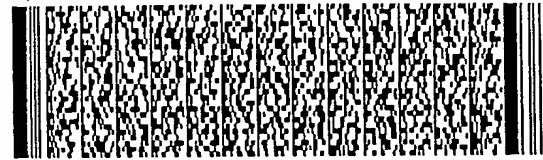
第 12/15 頁



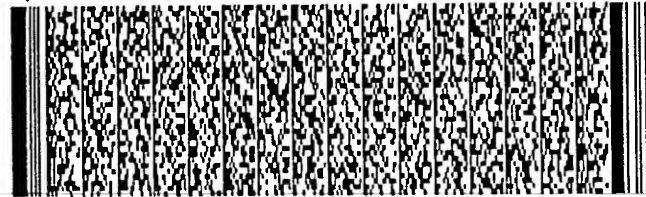
第 12/15 頁



第 13/15 頁



第 14/15 頁



第 15/15 頁

